

Def. 20 f 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-163015

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

G09G 3/30

H04N 5/66

(21)Application number : 11-333582

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 25.11.1999

(72)Inventor : DODABALAPUR ANANTH
SARPESHKAR RAHUL

(30)Priority

Priority number : 98 199364

Priority date : 25.11.1998

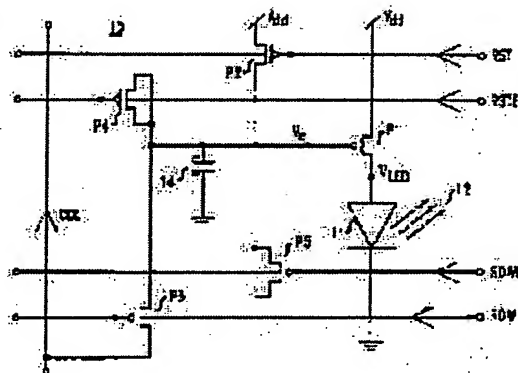
Priority country : US

(54) DISPLAY DEVICE WITH SYSTEMATIC SMART PIXEL

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce or eliminate at least some of nonidealities by providing a driving/compensating circuit which is so selected as to at least reduce ≥ 1 nonideality and arranging at least part of the driving/compensating circuit in a 2nd substrate area.

SOLUTION: The systematic LED 11 of the driving/compensating circuit is controlled by a systematic FET p1. The gate voltage V_c of the FET P1 determines the current of the LED 11. A transistor P2 resets V_c to V_{dd} with a short active low pulse on RST. This driving/compensating circuit is operated by the systematic FET P1 selected as an arbitrary choice and the FET P1 is arranged in the 2nd substrate area nearby the LED 11. Then this driving/compensating circuit relates to systematic smart pixels of the display device and performs compensation for nonidealities each time a given pixel is addressed or reset.



LEGAL STATUS

[Date of request for examination] 27.02.2001

[Date of sending the examiner's decision of rejection] 09.08.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision] 2004-22992

of rejection]

[Date of requesting appeal against examiner's decision of rejection] 08.11.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-163015

(P2000-163015A)

(43)公開日 平成12年6月16日(2000.6.16)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G O 9 G 3/30

G 0 9 G 3/30

J

H O 4 N 5/66

H O 4 N 5/66

103

審査請求 未請求 請求項の数10 O.L (全 10 頁)

(21)出願番号 特願平11-333582

(22) 出願日 平成11年11月25日(1999. 11. 25)

(31)優先權主張番号 09/199364

(32) 優先日 平成10年11月25日(1998. 11. 25)

(33) 優先權主張國 米國 (US)

(71)出願人 596092698

ルーセント テクノロジーズ インコーポ
レーテッド

アメリカ合衆国. 07974-0636 ニュー
ジャーシー, マレイ ヒル, マウンテン. ア
ヴェニュー 600

(72)発明者 アナンス ドダバラブアー

アメリカ合衆国 07946 ニュージャーシ
ィ, ミリントン, ヒルトップ ロード 62

(74) 代理人 100064447

弁理士 岡部 正夫 (外11名)

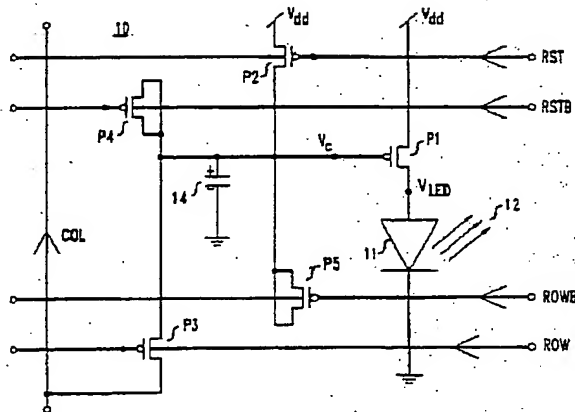
最終頁に続く

(54) 【発明の名称】 組織的なスマート画素を備えた表示装置

(57)【要約】

【課題】 非理想性の少なくとも一部を軽減または解消する、組織的なスマート画素を有する表示装置を提供する。

【解決手段】 本発明による表示装置は、多数の概ね同一のスマート画素を備えており、所与の画素は、組織的な発光ダイオードおよび組織的なまたは非組織的な（例えば非結晶または多結晶 Si）画素 FET を備える。また、表示装置は、組織的な構成要素に関連する非理想性を軽減または解消するように構成された駆動／補償回路も備えている。非理想性の中には、トランジスタ毎の画素 FET の移動度および／または閾値電圧のばらつき、所与の画素 FET における時間的な移動度および／または閾値電圧の変化、LED 特性の経時的な変化、短い立ち上がり／立ち下がり時間パルスによる画素 FET のゲート絶縁体を介した容量性信号フィードスルー、画素 FET の低いオン・オフ比、およびゲート誘電体を介した電荷漏れがある。例示的な駆動／補償回路を開示する。



【特許請求の範囲】

【請求項1】 第1の基板領域に配置された多数の概ね同一のスマート画素を備えた表示装置であって、更に、スマート画素が存在しない第2の基板領域を備え、所与のスマート画素が；

- a) 組織的な発光ダイオードと；
- b) 前記組織的な発光ダイオードを流れる電流を供給する画素回路であって、前記第1の基板領域に配置されると共に前記組織的な発光ダイオードと直列に接続された少なくとも1つの電界効果トランジスタを備える前記画素回路と；を備え、
- c) 前記概ね同一のスマート画素が、無作為に、前記表示装置の性能に悪影響を与える1つ以上の非理想性を呈し、
- d) 前記表示装置が、該表示装置の性能を改善するように前記1つ以上の非理想性を少なくとも軽減させるように選択された駆動／補償回路を備えており、該駆動／補償回路の少なくとも一部が前記第2の基板領域に配置されていることを特徴とする表示装置。

【請求項2】 請求項1による表示装置において、前記電界効果トランジスタが組織的な電界効果トランジスタであることを特徴とする表示装置。

【請求項3】 請求項2による表示装置において、前記駆動／補償回路が単結晶C-MOS回路を備えることを特徴とする表示装置。

【請求項4】 請求項2による表示装置において、前記1つ以上の非理想性が、容量性信号フィードスルー、および前記電界効果トランジスタの低いオン・オフ比による電荷漏れの1つ以上を含むことを特徴とする表示装置。

【請求項5】 請求項2による表示装置において、前記1つ以上の非理想性が、

- i) スマート画素毎の移動度および／または閾値電圧のばらつき；
- ii) 前記所与の画素における前記移動度および／または閾値電圧の時間的な変化；
- iii) 発光ダイオード特性の時間的な変化；の1つ以上を含むことを特徴とする表示装置。

【請求項6】 請求項5による表示装置において、前記1つ以上の非理想性が、更に、容量性信号フィードスルーおよび電荷漏れの1つ以上を含むことを特徴とする表示装置。

【請求項7】 請求項4による表示装置において、前記駆動／補償回路が、前記電界効果トランジスタのゲート端子に補償電荷を注入することによって、前記容量性信号フィードスルーを軽減するように選択されていることを特徴とする表示装置。

【請求項8】 請求項4による表示装置において、前記駆動／補償回路が、ROW信号およびRST信号の不活性・ハイ値を、供給電圧 V_{DD} よりも高い値に設定するこ

とによって、前記電荷漏れを軽減するように選択されていることを特徴とする表示装置。

【請求項9】 請求項5による表示装置において、前記駆動／補償回路が、前記表示装置の1フレーム期間よりもはるかに長い所定の間隔で、各スマート画素の1つ以上の特性を測定および格納し、前記測定の結果によって示される場合、所与の画素の前記電界効果トランジスタのゲート端子に印加する制御電圧を変化させて、実質的に全てのスマート画素が前記表示装置に供給される所与の信号について実質的に同じ発光を有するように選択されることを特徴とする表示装置。

【請求項10】 請求項9による表示装置において、前記駆動／補償回路が、前記電界効果トランジスタのゲート端子に補償電荷を注入することによって、前記容量性信号フィードスルーを軽減するように選択されており、更に、ROW信号およびRST信号の不活性・ハイ値を、供給電圧 V_{DD} よりも高い値に設定することによって、前記電荷漏れを軽減するように選択されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、組織的な(organic)発光エレメントを備えたアクティブ・マトリクス表示装置に関する。

【0002】

【従来の技術、及び、発明が解決しようとする課題】スマート画素を備えた表示装置は、公知である。通常、スマート画素は、発光エレメントと、この発光エレメントの駆動／切り替えを行う1つ以上の電界効果トランジスタ(FET)を含む回路とを備えている。所与の画素は、通常、数本の導電線によってアドレスされ、この導電線は、周辺に配置した駆動回路に接続されている。

【0003】近年、組織的(organic)発光エレメント(典型的には組織的な発光ダイオードである。例えば、A. DodabalapurのSolid State Communication, 1997年, Vol. 12, No. 2-3, 259ないし267ページを参照のこと。)が開示されており、表示装置における使用のために提案されている。例えば、M. K. Hatlis等のProceedings of the SPIE, 3057, 277ページ(1997年)、およびC. C. Wu等、IEEE Electron Device Letters, Vol. 18, 609ページ(1997年)を参照されたい。これらの参考文献は、それぞれ、多結晶および非結晶のSiのアクティブ・チャネル材料を用いた、組織的な発光ダイオード(LED)および電界効果トランジスタ(FET)を有するスマート画素を開示する。

【0004】更に、組織的なスマート画素を備えた表示装置も提案されている。例えば、Dodabalapur

r等のApplied Physics Letters, Vol. 73 (2)、1998年7月、142ないし144ページ、および、1998年5月29日出願されたBa o等の米国特許出願連番第09/087, 201号を参照されたい。また、1998年6月12日のH. Sirringhaus等のScience, Vol. 280、1741ページも参照されたい。このような表示装置では、所与の画素は、組織的な発光ダイオード(LED)だけでなく、1つ以上の組織的な画素FETも備える。

【0005】組織的なLEDおよび組織的な画素トランジスタを有するアクティブ・マトリクス表示装置は、潜在的に、例えばコストが低く、可撓性プラスチック基板との適合性を有する等、著しい利点を有する。

【0006】我々は、組織的なLEDおよび組織的な画素FET等の構成要素が、多くの場合、いくつかの限界および/または非理想的な特性(これらをまとめて「非理想性」とする)を呈し、これらが無い場合には優れているはずの表示装置の性能に悪影響を与える可能性があることを認識した。

【0007】例えば、電荷担体の移動度および/または組織的なLEDの閾値電圧が、多くの場合、時間と共にゆっくりと変化すること、電荷担体の移動度および/または組織的なFETの閾値電圧が、FET毎に異なる場合が多いこと、また、組織的な画素FETは、多くの場合、ゲート絶縁体を介した容量性信号フィードスルーを生じやすく、またトランジスタがオフである場合の待機電流のために電荷漏れを生じやすいことを発見した。これらおよび他の非理想性の結果として、表示装置は、著しい輝度の変動および/または他の欠点を伴う恐れがある。かかる変動は、特に輝度の変動に対して人の眼が周知の通り敏感であることを考えると、許容不可能である場合が多い。多結晶または非結晶のSiのアクティブ・チャンネル材料を有するFETも、非理想性を呈することが多い。

【0008】組織的なスマート画素を有するアクティブ・マトリクス表示装置の潜在的な利点に鑑み、非理想性の少なくとも一部を軽減または解消することができれば、非常に望ましいであろう。本出願は、いくつかの顕著な非理想性を開示し、更に、それらを克服するための手段も開示する。

【0009】以下の米国特許および出願は、関連する主題に関する。特許番号第5,405,710号、第5,478,658号、第5,574,291号、第5,625,199号、第5,596,208号、1995年5月15日にDodabalapur等によって出願された出願番号第08/441,142号、1998年5月29日にBa o等によって出願された出願番号第09/087,201号、1998年8月20日にDodabalapurによって出願された出願番号第09/1

37,920号。

【0010】

【発明が解決しようとする課題】ここに引用した参考文献は全て、参照により本願にも含まれるものとする。広い態様では、所与の画素が、少なくとも1つの組織的な構成要素、典型的には組織的なLEDを備えているアクティブ・マトリクス表示装置において、本発明を具現化する。更に、画素は、典型的に、少なくとも1つの組織的なまたはSi系の画素FET(例えば多結晶Si FETまたは非結晶Si FET)を備える。1つ以上の組織的な多結晶Siまたは非結晶Siの構成要素が画素に存在していることに関連して、いくつかの非理想性がある。

【0011】非理想性には、少なくとも2つのタイプがある。一方のタイプは、組織的なトランジスタの非理想的なデバイス特性によるものであり、各スマート画素毎に、典型的にフレーム周波数(例えば約75 Hz)での補正動作を必要とする。第1のタイプの非理想性の例は、短い立ち上がり/立ち下がり時間パルスによる、組織的な画素FETのゲート絶縁物を介した容量性信号フィードスルー、および、組織的なトランジスタの比較的低いオン・オフ比のために生じる電荷漏れである。

【0012】別のタイプの非理想性は、組織的な構成要素の物理的特性(例えば移動度、閾値電圧)の変化が通常遅いことによるものであり、間欠的にのみ補正動作を行えば良い(例えば、表示装置を活性化するとき、および/または、例えば1日に1度のように、フレーム期間よりもはるかに長い所定の間隔で)。

【0013】非理想性のいくつかまたは全てを軽減または克服するために、本発明による表示装置が備えている回路は、典型的に少なくともその一部が表示装置の周辺に配置され、とりわけ、様々な補償機能を実行する。この回路を、「駆動/補償」回路と呼ぶことにする。

【0014】第1のタイプの非理想性を軽減するための駆動/補償回路は、典型的に、追加のFET(すなわち、従来の画素FET以外のFET)を備えており、これは、例えば、従来技術のスマート画素の容量性信号フィードスルー、電荷漏れ、または他の非理想性を軽減または解消するように機能する。第2のタイプの非理想性を軽減するための駆動/補償回路は、典型的に、各スマート画素の適切な特性(例えば、LEDを流れる一定の電流を生成するために必要な電圧および/または閾値電圧)を周期的に測定および格納するための手段を備える。この情報は通常、電子メモリに格納し、駆動/補償回路は、個々の画素の特性を考慮して、目標とする条件から逸脱した各画素の駆動条件を調節する。

【0015】スマート画素の非理想性の軽減を図る上述の手法が可能である理由は、とりわけ、従来のSi系回路の正確さおよび精度が有機系回路のものよりもはるかに高いからであることを、当業者は認識するであろう。

このため、本発明による駆動／補償回路の少なくとも一部は、Si技術、典型的に従来のC-MOS技術において具現化することが好ましい。

【0016】1つ以上の組織的な構成要素を有する画素の非理想性は、典型的に、以下のものを含む。

(a) 組織的な画素FETの移動度および／または閾値電圧の、トランジスタ毎のばらつき

(b) 所与の画素FETにおける、移動度および／または閾値電圧の時間的な変化

(c) LED特性の時間的な変化

(d) 短い立ち上がり／立ち下がり時間パルスによる、組織的な画素FETのゲート絶縁物を介した容量性信号フィードスルー

(e) 組織的な画素FETの低いオン・オフ比による、ゲート誘電体を介した電荷漏れ

上述の非理想性の中で、(a)、(b)、および(c)は、典型的に、表示装置のフレーム周波数よりもはるかに低い周波数での補正動作を必要とし、非理想性の

(d)および(e)は、典型的に、各画素毎にフレーム周波数での補正動作を必要とする。前者は、「適応的画素制御」と呼ばれることが多い。

【0017】更に具体的には、本発明が例示的に具現化される表示装置は、第1の基板領域に配置された多数の概ね同一のスマート画素を備え、更に、スマート画素のない第2の基板領域を備える。所与のスマート画素は、組織的な発光ダイオードと、この組織的な発光ダイオードを流れる電流を供給するための画素回路とを備える。所与のスマート画素の画素回路は、組織的な発光ダイオードと直列であり、第1の基板領域に配置された少なくとも1つの画素FET（典型的に組織的な画素FETであるが、これは必須ではない）を備える。

【0018】重大な点として、概ね同一のスマート画素は、表示装置の性能に悪影響を及ぼす1つ以上の非理想性を、無作為に呈する。表示装置は、更に、前記表示装置の性能を改善するように、前記1つ以上の非理想性を少なくとも軽減するように選択した駆動／補償回路を備える。

【0019】典型的に、組織的なLEDと直列の電界効果トランジスタは、組織的なFETである（が、多結晶または非結晶Si FETとすることも可能である）。駆動／補償回路は、典型的に、単結晶Si（例えば従来のC-MOS）回路を備える。

【0020】一例として、駆動／補償回路を選択する際には、組織的なFETのゲート端子への補償電荷の注入によって容量性信号フィードスルーを軽減するように、または、ROW信号およびRST信号の不活性・ハイ値を、供給電圧 V_{DD} を超える値に設定することによって、電荷漏れを軽減するようにする。

【0021】更に一例として、駆動／補償回路は、各スマート画素の1つ以上の特性を測定および格納するよう

に選択し、更に、測定結果によって示される場合、制御電圧を変化させるように選択し、実質的に全てのスマート画素が、表示装置に供給される所与の信号に対して実質的に同一の発光を有するようにする。図面は、一定の拡大率でまたは比例して描かれているわけではない。

【0022】

【発明の実施の形態】図1は、従来技術の組織的なスマート画素10を示し、数字11ないし14は、それぞれ、組織的なLED、LEDの光出力、組織的な画素FET P1、および画素FETのゲートに制御電圧 V_g を印加する制御コンデンサC1を示す。供給電圧 V_{DD} およびLED駆動電圧 V_{LE} も示す。図1のスマート画素は、Dodabalapur等による上述の文献における図1のスマート画素に実質的に対応する。図1の画素回路は、第1の基板領域の所与の組織的なLEDに近接して配置されている。

【0023】図2は、本明細書中の図1に示す例示的な従来技術のスマート画素の電気特性（様々なゲート電圧に対するLED電流対供給電圧）を示す。概ね同一のスマート画素は、多くの場合、図2に示すものと質的に同じであるが量的に異なる特性を有する。

【0024】図3は、組織的なスマート画素の挙動の（従来のSPICE回路シミュレーション・ソフトウェアおよび代表的なデバイス・パラメータ値を用いた）コンピュータ・シミュレーションの結果を示す。シミュレーションは、実質的に、本明細書中の図1における従来技術の組織的なスマート画素の挙動の関連する態様を再現し、組織的なFETのゲートに10 μ sのアクティブ・パルスを印加した場合の V_g および V_{LE} の変遷パターンを示す（それぞれ曲線31および30）。図3のシミュレーションは、顕著な非理想性を示す。具体的には、数字301および303は、容量性信号フィードスルーによる V_{LE} の鋭い下降を示し、数字302および311は、それぞれ、電荷漏れによる、 V_{LE} および V_g の時間的な明白な変化を示す。数字312は、 V_g における通常のダイオード・コンデンサの減衰による傾斜を示す。

【0025】容量性信号フィードスルー、電荷漏れ、および低いオン・オフ比

図4は、組織的な構成要素11および13に加えて、画素のための例示的な駆動／補償回路を示す。この回路は、従来技術の組織的なスマート画素に関連していることを我々が見出した電荷注入および漏れの寄生的効果を補償するように設計されている。図4に示す構成要素は、同位置に配置する必要はないが、通常は所与のLEDの近くに配置されることは理解されよう。

【0026】組織的なLED11は、組織的なFET P1によって制御される。組織的なFET P1のゲート電圧 V_g がLED電流を決定する。トランジスタP2は、RST上の短いアクティブ・ロー・パルスによって、 V_g を V_{DD} にリセットする。トランジスタP4は、

トランジスタP2のW/L(幅対長さ)比の半分のW/L比を有し、RSTB制御ライン上でRSTパルスの反転されたものを受ける。トランジスタP4およびRSTBは、RSTパルスのシャープ・エッジの間に、P2のゲートドレインのオーバーラップ容量だけ、 V_c に注入された望ましくない電荷を相殺する。RSTが遷移すると、RSTBは相補的な遷移を行い、逆の符号の相補的な電荷が、P4のゲートドレインおよびゲートソース容量によって V_c に注入される。トランジスタP3は、ROWライン上のアクティブ・ロー・パルスの幅およびCOL上の駆動電流/電圧ソースの値によって決定される電圧に対して、制御コンデンサC1を放電する。トランジスタP5および制御ラインROWBは、RSTパルスについてトランジスタP4およびRSTBが行う補償と同様に、ROWパルスに対して電荷補償を行うように機能する。

【0027】P2およびP3のオフ電流は、電荷漏れを生じさせ、 V_c の保持値を低下させる。例えば、これは、ROWおよびRST信号の不活性・ハイ値を、 V_{dd} よりもかなり高く設定することによって、軽減することができる。このため、 $V_{dd}=4.0V$ ならば、ROWおよびRSTの不活性・ハイ値を例えば約5.0Vとし、これによって、トランジスタP2およびP3のゲートソース電圧が、正確にゼロでなく、大きく負側となることが保証され、結果として、これらのトランジスタの漏れ電流は無視できる程度となることが保証される。ROWおよびRSTの不活性・ハイ値を V_{dd} よりも高い値に設定するという単純な方法は、電荷漏れを効果的に補償し、本発明の重要な特徴と考えられる。

【0028】図4に示す駆動/補償回路(またはその均等物)は、表示装置の各組織的なスマート画素に関連し、所与の画素をアドレスまたはリセットするたびに非理想性に対する補償を与えることは認められよう。この回路は、任意選択として、組織的なFETによって実施され、典型的に、第1の基板領域においてLEDに近接して配置される。

【0029】また、図4は、 V_{dd} とグランドとの間の電源およびトランジスタP2ないしP5の基板端子のような従来の機構は示していないことも認められよう。後者は、従来通り、グランドに接続されていると考えられる。図4に示す符号は、従来通りのものである。例えば、全てのp-MOSFETは、「P」で始まる名称(P1、P2、P3、...等)を有し、所与の信号に対する補足は、所与の信号の後に「B」を記した名称を有する。例えば、「RST」に対する補足は、「RSTB」と示す。本出願全体を通して、これらの規則に従うものとする。

【0030】図5は、図4の組織的なスマート画素のSPICEシミュレーションの例示的な結果を示す。シミュレーションでは、従来技術の画素のシミュレーション、

(図3)において用いたようなデバイス特性を想定したが、ダミーの電荷補償(RSTB、P4、ROWBおよびP5が存在する)および電荷漏れ補償($V_{dd}=4.0V$ であるが、ROWおよびRST信号の不活性・ハイ値は5.0Vである)が存在する。容易に見て取れるように、容量性グリッチおよび電荷漏れは、著しく低減している。参照番号50および51は、それぞれ、 V_c および V_{LED} を示す。

【0031】図3および5からわかるように、制御電圧 V_c は、典型的に10 μs パルス幅内で、その最終値に極めて素早く達して平衡状態になる。LED電圧 V_{LED} は、1フレームに対する1リフレッシュ・サイクル(例えば14ms)内に十分に収まる時間で、低い値から高い値に素早く(典型的に50 μs 内)達する。高い値から低い値への V_{LED} の低下は、LEDの非対称性から予想されるよりも遅い。しかしながら、実際の電流、および結果としてLEDが発する光は、電圧の乗数の大きなべき乗関数であり、はるかに素早く低下する。このため、図3では、電圧は、数ボルト減衰するのに数ミリ秒かかるが、電流は、典型的に V_c のリセットの100 μs 内に、素早くゼロまで低下する。

【0032】シミュレーションでは、次のデバイス・パラメータを用いた。すなわち、0.03cm²/V・秒の移動度の1000 μm /6 μm 組織的なFET、-2Vの閾値、100nmのゲート誘電体、2fF/ μm のオーバーラップ容量、誘電定数3の1mm \times 1mm組織的なLEDに対して12Vで100 μA の電流、100nmの誘電体厚さ、および8Vを超える9乗I-V特性である。これらのパラメータは、実際のデバイス動作を表すものと我々は考えている。

【0033】シミュレーションによって、考察している組織的なスマート画素が、表示装置に必要な速度で容易に動作可能であることが示された。例えば、LEDの充電および放電の時間尺度は、1000 \times 1000画素アレイに対して典型的な14msのリフレッシュ・レート内に十分に収まり、制御モードの充電および放電は、1000個の行を有するアレイの単一行の動作のために典型的に利用可能な14 μs 内に達成可能である。従って、電荷注入、漏れおよび他の非理想性を補償するための本発明による技法によって、ロバストな動作が可能な表示装置が得られる。

【0034】図6AないしEは、組織的なFETにおける容量性ゲート電流フィードスルーおよびこのフィードスルーの軽減を示す。

【0035】図6Aは、 $V_{dd}=0$ について、図6Bオシロスコープ記録図を生じる測定回路を概略的に示す。容量性信号フィードスルーの影響が、 V_c のインパルス性グリッチに現われている。図6Cは、 $V_{dd}=0$ について、図6Dの記録図を生じる測定回路を概略的に示す。ダミーの電荷注入を与える。(すなわち、組織的なFET

のソースに接続されたコンデンサに補償電圧を印加することによって、容量性信号フィードスルーが大幅に低減している。図6Eは、図6Cの測定回路によって得られる結果を示すが、負のドレイン・バイアスを与えている。得られた特性は、十分に理想的である。

【0036】組織的なスマート画素における容量性信号フィードスルーおよび電荷漏れのような非理想性を実質的に解消するための好ましい手法について論じたので、次に、適応的画素制御を図る好ましい手法について論じる。

【0037】適応的画素制御

図7は、とりわけ電荷補償を与え、以下に示す適応的画素制御を容易にする更に別の例示的な駆動／補償回路を概略的に示す。

【0038】図7の回路が図4のものと異なる点は、前者はFETが2つ多く（P6およびP7）、更に、2つの列ライン（COLおよびCOLB）があることである。P6は、COL電圧のバース幅およびバース高さの変動によって、画素における放電電流の制御を可能とする。図4では、列ラインに直列の電圧／電流ソース制御によって、放電電流を変動させた。

【0039】本発明による適応的画素制御を用いた表示装置は、正常モードおよび較正モードと呼ぶ2つのモードで動作可能であることは認められよう。例えば、表示装置は、典型的に、この表示装置がオンである時はいつでも短時間、較正モードとなるか、または例えば1日に1度のような所定の間隔で較正モードとなる。較正の完了後、駆動／補償回路は、表示装置を正常モードに切り替える。むしろ、例えば電荷補償のような非理想性の制御は、通常、較正および正常モードの双方において行われる。

*

例えば、CLA信号がハイである場合、表示装置は較正モードにあり、回路内のいくつかの経路を活性化する。一方、CLAがハイである場合、表示装置は正常モードにあり、代替的な経路を活性化する。

【0044】図8の回路は、次のように機能する。バース発生器801は、列バースを、そのバース幅（PW）およびバース高さ（PH）制御電圧に従って、列制御ラスタ

正常モード（CLAハイ）では、これらの制御電圧は、イメージRAM

M803およびバース高さRAM804から、それぞれ得られる。

これらのRAMは、表示クロック・ライン805上に信号を供給する表示クロック（図示せず）によって、表示の様々な行を循環する。較正モード（CALハイ）の間、測定クロック・ライン807上に信号を供給する測定クロック（図示せず）に従って、様々なバース幅値を循環するテスト・ベクトルRAM806から、バース幅情報が得られる。バース高さ情報は、アナログ格納コンデンサ808から得られ、これは、フィードバック機構（以下で説明する）によって更新されて、所望の値に収

*【0040】表示装置が正常モードにあるとき、画素の所与の行を活性化し、ROWライン上のP3ゲート全てに、ゲート電圧バースを印加する。列バースをP6に（および、クロック・フィードスルーを低減させるための相補的な列バースをP7に）印加することによって、特定の列をアドレスする。列バースの幅によって表示情報を符号化し、バースの高さによって、この所与の画素に対する格納された較正情報を符号化する。

【0041】表示装置が較正モードにある場合、所与の行を活性化し、所与の画素のP1に（ノードV₁において）流れ込む電流を監視する（以下に述べるような方法で）。この所与の行における全画素についてこのように得られた測定値に基づいて、この所与の行の全画素に対する列バースの高さを、所望の値に調節する。このプロセスを、全ての行に対して実行する。較正は、ある範囲の列バース幅について実行して、較正の間に格納されたバース高さは、ある範囲の強度について、画素の変動を効果的に補償する。

【0042】図8は、例示的な駆動／補償回路の関連部分を概略的に示す。かかる回路は、典型的に、本発明による表示装置の各列に接続されていることは理解されよう。典型的に、所与の行における全ての列は、並列に、駆動／補償回路によって監視および補償することができる。図8の駆動／補償回路は、通常、第2の基板領域に配置されている。

【0043】図8では、従来の送信ゲート（x状の記号によって示す）を用いて、それらのゲート端子における制御電圧に基づいて、信号を通過させるか、または阻止する。

【外1】

* イン802（COL）上に出力する。

【外2】

束する。正常モードでは、列ライン809（V₁）をV₁にルート付け、較正モードでは、従来のセンス増幅器810にルート付ける。センス増幅器は、画素におけるLED電流（すなわち図4におけるFET P1を通る電流）を電圧に変換する。この電圧は、A/Dコンバータ811によってデジタル化し、測定ベクトルRAM812に格納する。このRAMは、テスト・ベクトルRAM806が出力する様々なバース幅の測定値の結果、およびアナログ格納コンデンサ808上のバース高さの電流、

値の結果を格納する。

【0045】更に、従来のデジタル演算回路によって、測定値の線形または非線形の平均値を計算し、所望の値と比較する。相互コンダクタンス増幅器814は、そのバイアス電流が τ によって設定されており（バイアス電流を設定する電圧制御「ノブ」であり、結果として、増幅器の相互コンダクタンス）、測定の前平均値を所望の値に近づけるパルス高さに、アナログ格納コンデンサ808を更新する。更新は、測定クロック（図示せず）の更新フェーズの間に行い、この間、送信ゲート813は導通している。このプロセスを通常、何度も繰り返して、変動の中心であり、かつ所望の前平均値および測定の前平均値が十分に近くなる値に、パルス高さが収束するまで行う。

【0046】相互コンダクタンス増幅器814のバイアス電流および格納コンデンサ808の値は、速度／精度のトレードオフ、すなわち、どれほど精密にデバイス・パラメータ変動を補償しているか、および、どれほど素早くこれを実行可能かを決定する。通常、上述のフィードバック・プロセスを十分な回数だけ繰り返して、許容可能な精度レベル内に収束することを保証する。

【0047】収束プロセスの終了時に、格納コンデンサ808上のデータを、パルス高さRAM804に書き込んで（校正の終了時にLDおよびCAL信号がアクティブである場合）、校正が完了する。この時点で、駆動／補償回路は通常、正常モードに切り替えられ、表示装置は、従来通りの使用のための準備が整っている。

【0048】上述の駆動／補償回路は例示的なものであり、本発明の目的は他の回路によっても達成可能であることは理解されよう。

【0049】例えば、代替的な回路を図9に示す。図を見てわかるように、この回路は、図7のものと類似しているが、異なる方法で制御を実施する。P6およびP7がP3を通る電流を制御する代わりに、図9の回路では、P3を通る電流を、電流ソース91によって直接制御する。校正モードで測定した V_s の値は、P3を通る電流を制御する。このため、P6およびP7のゲート・バイアスを変調する代わりに、代替的な駆動／補償回路では、P3のソース電流を直接変調する。

【0050】図10は、本発明による例示的な表示装置100を概略的に示す。この装置は、多数の行および列導線、列駆動／補償回路、および行駆動／補償回路を備える。行および列ラインの各交点に、例えば図7に示す回路を有する画素が関連付けられている。画素は、第1の基板領域に配置されており、列および行駆動／補償回路は、画素のない第2の基板領域上に配置されている。一例として、行導線は、ROW、ROWB、RSTおよびRSTBを備え、行導線は、COL、COLB、 V_{ss} およびGroundを備える。

【0051】これまでの考察は、主に、組織的なアクテ

ィブ材料を有する画素FETに関するものである。しかしながら、本発明はこれに限定されず、無機（例えば非結晶または多結晶Si）アクティブ材料を有する画素トランジスタが考えられる。「組織的」および「非組織的」という語は、ここでは、それらの従来の意味を有するものとする。

【0052】ここでの駆動／補償回路図は、p-チャネルFETを示すことは気付かれよう。しかしながら、これは単に設計の選択肢の問題であり、本発明は、n-チャネルFETまたはp-チャネルおよびn-チャネルFETによって実施することができる。

【0053】従来技術では、組織的なLEDおよび／または画素FETを形成するために使用可能な様々な物質が公知である。それらの中には、オリゴチオフェン、ペンタセン、ジ-R-アントラジチオフェン（Rは C_mH_{2m+1} （mは0ないし18である）または $C_zH_{2z+1}OC_xH_{2x}$ （ $z+y=4$ ないし17であり、yはゼロより大きく、zは2より大きい）のいずれかである）、ビス-ベンゾジチオフェン、フタロシアニン配位化合物、およびレジオ規則的ポリ（3-アルキルチオフェン）がある。特に好適な物質の中には、ポリ（フェニレンビニレン）（PPV）、ビス（トリフェニルジアミン）（TAD）、トリス（8-ヒドロキシキノリナト）アルミニウム（Alq）、およびビス（10-ヒドロキシベンゾキノリナト）ベリリウムがある。

【図面の簡単な説明】

【図1】画素FETを含む例示的な従来技術の組織的なスマート画素を概略的に示す。

【図2】例示的な従来技術の組織的なスマート画素の電気特性を示す。

【図3】例示的な従来技術の組織的なスマート画素の制御ノード電圧対時間の計算データを示す。

【図4】容量性信号フィードスルーおよび電荷漏れ等の非理想性を少なくとも軽減するために構成された、例示的な駆動／補償回路を有する組織的なスマート画素を概略的に示す。

【図5】図4の駆動／補償回路を用いた、スマート画素の制御ノード電圧対時間の計算データを示す。

【図6A】図6Bの電気特性を決定するために用いる測定回路を概略的に示す。

【図6B】図6Aの測定回路から得られた電気特性を示す。

【図6C】図6Dおよび図6Eの電気特性を決定するために用いる測定回路を概略的に示す。

【図6D】図6Cの測定回路から得られた電気特性を示す。

【図6E】図6Cの測定回路から得られた電気特性を示す。

【図7】関連する態様の例示的な駆動／補償回路を有する組織的なスマート画素を概略的に示す。

13

14

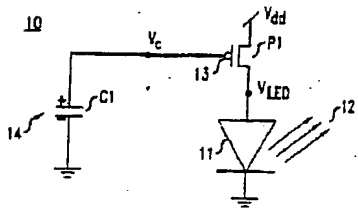
【図8】関連する態様の例示的な駆動／補償回路を概略的に示す。

* 路を有する組織的なスマート画素を概略的に示す。

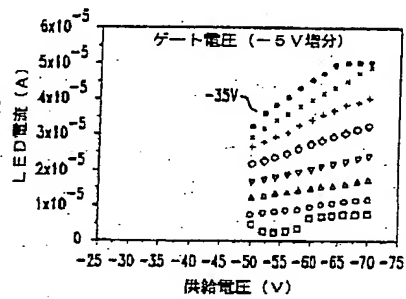
【図9】関連する態様の更に別の例示的な駆動／補償回*

【図10】本発明によるアクティブ・マトリクス表示装置の関連する態様を概略的に示す。

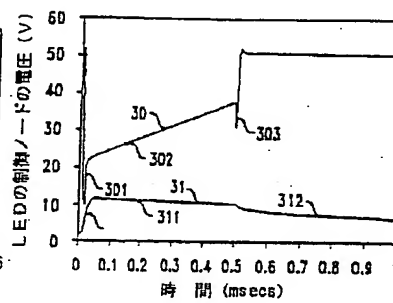
【図1】



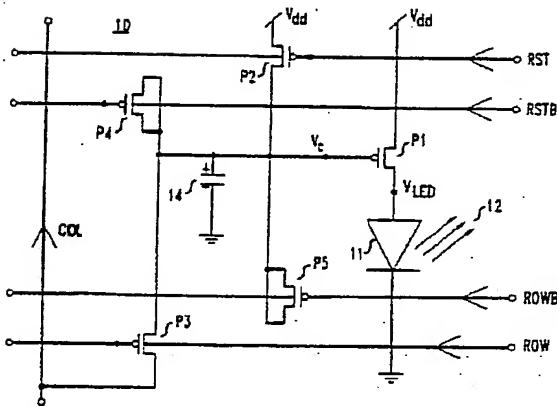
【図2】



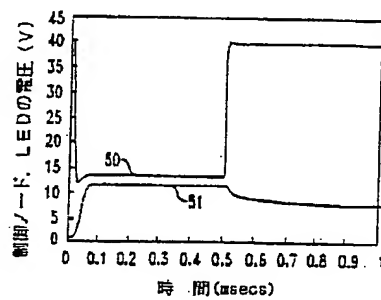
【図3】



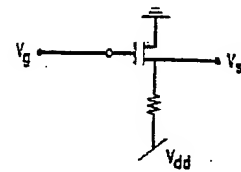
【図4】



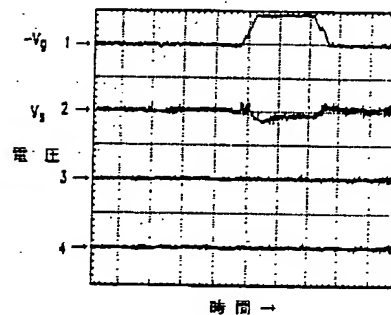
【図5】



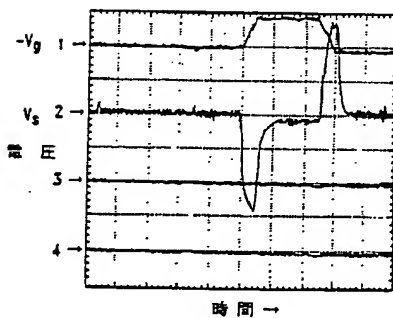
【図6A】



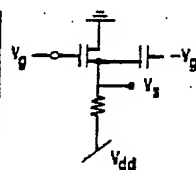
【図6D】

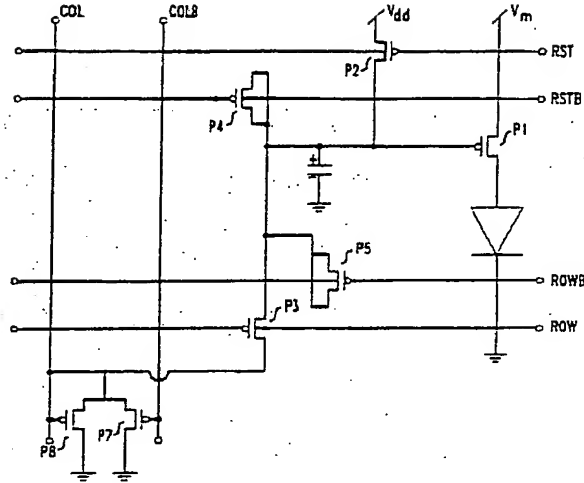
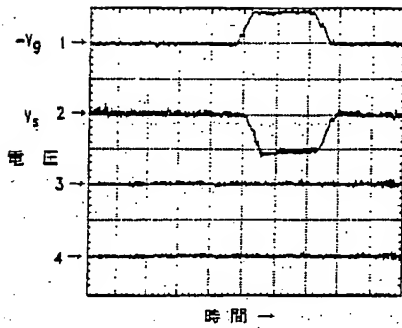


【図6B】

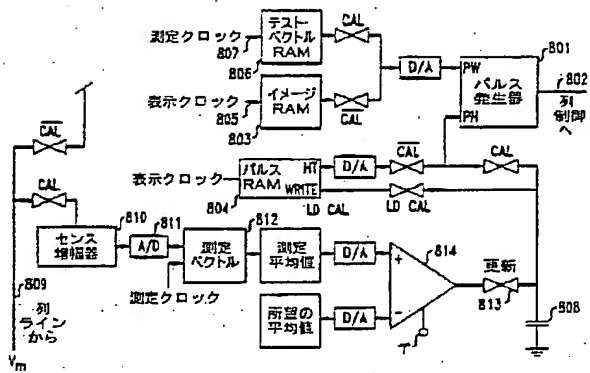


【図6C】

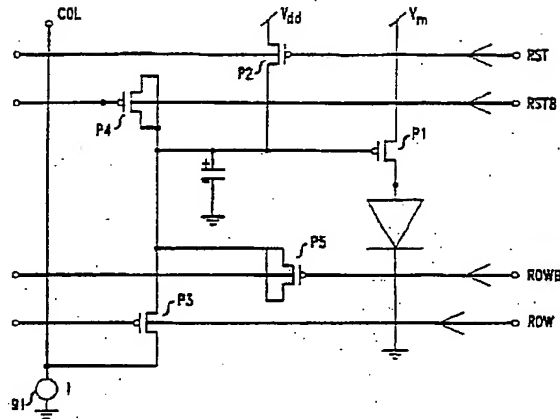




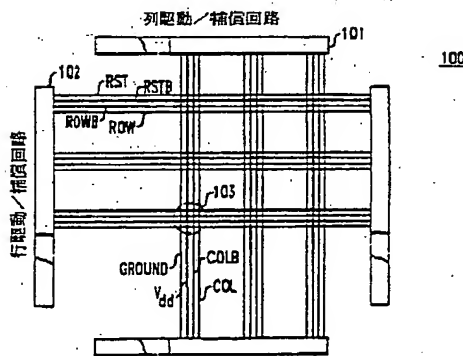
【圖 8】



【圖9】



【図 10】



フロントページの続き

(72)発明者 ラウル サーベッシュカー
アメリカ合衆国 02138 マサチューセッ
ツ, カンブリッジ, フィールド ストリー
ト 8